

BEST AVAILABLE COPY

Family list

20 family members for:

JP7066426

Derived from 15 applications.

- 1 **MANUFACTURE OF SEMICONDUCTOR DEVICE**
Publication Info: JP3202687B2 B2 - 2001-08-27
JP11097712 A - 1999-04-09
- 2 **MANUFACTURE OF SEMICONDUCTOR DEVICE**
Publication Info: JP3202688B2 B2 - 2001-08-27
JP11097713 A - 1999-04-09
- 3 **METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE**
Publication Info: JP3393857B2 B2 - 2003-04-07
JP2001217432 A - 2001-08-10
- 4 **METHOD FOR FORMING SEMICONDUCTOR DEVICE**
Publication Info: JP3393863B2 B2 - 2003-04-07
JP2001320063 A - 2001-11-16
- 5 **SEMICONDUCTOR DEVICE AND ITS FORMING METHOD**
Publication Info: JP7066426 A - 1995-03-10
- 6 **METHOD OF FABRICATING SEMICONDUCTOR DEVICE**
Publication Info: JP7094756 A - 1995-04-07
- 7 **MANUFACTURE OF SEMICONDUCTOR DEVICE**
Publication Info: JP2000082670 A - 2000-03-21
- 8 **METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE**
Publication Info: JP2001223367 A - 2001-08-17
- 9 **MANUFACTURING METHOD FOR SEMICONDUCTOR DEVICE**
Publication Info: JP2001267586 A - 2001-09-28
- 10 **METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE**
Publication Info: JP2003124120 A - 2003-04-25
- 11 **MANUFACTURING METHOD OF SEMICONDUCTOR DEVICE**
Publication Info: JP2003264199 A - 2003-09-19
- 12 **Method of manufacturing a thin film transistor in which the gate insulator comprises two oxide films**
Publication Info: US5663077 A - 1997-09-02
- 13 **Semiconductor device and method for manufacturing the same**
Publication Info: US5966594 A - 1999-10-12
- 14 **Semiconductor device and method for manufacturing the same**
Publication Info: US6210997 B1 - 2001-04-03
- 15 **Semiconductor device and method for manufacturing the same**
Publication Info: US6465284 B2 - 2002-10-15
US2001019860 A1 - 2001-09-06

Data supplied from the esp@cenet database - Worldwide

BEST AVAILABLE COPY

DIALOG(R)File 347:JAPIO
(c) 2004 JPO & JAPIO. All rts. reserv.

04773826 **Image available**
SEMICONDUCTOR DEVICE AND ITS FORMING METHOD

PUB. NO.: 07-066426 [JP 7066426 A]
PUBLISHED: March 10, 1995 (19950310)
INVENTOR(s): TAKEMURA YASUHIKO
APPLICANT(s): SEMICONDUCTOR ENERGY LAB CO LTD [470730] (A Japanese Company)

or Corporation), JP (Japan)

APPL. NO.: 05-235463 [JP 93235463]
FILED: August 27, 1993 (19930827)
INTL CLASS: [6] H01L-029/786; H01L-021/336; H01L-021/316; H01L-021/318
JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)
JAPIO KEYWORD: R002 (LASERS); R004 (PLASMA); R011 (LIQUID CRYSTALS); R096
(ELECTRONIC MATERIALS -- Glass Conductors); R097 (ELECTRONIC
MATERIALS -- Metal Oxide Semiconductors. MOS)

ABSTRACT

PURPOSE: To form a thin dense thermal oxide film having uniform thickness free from pin holes, on the surface of an active layer, by irradiating an island type silicon film to be turned into the active layer of a TFT with intensive light of a wavelength which is not absorbed by a substrate, in an oxidizing atmosphere, or by annealing in the oxidizing atmosphere.

CONSTITUTION: A ground film 102 of silicon oxide is formed on a substrate 101 by a sputtering method. An amorphous silicon film is formed by a plasma CVD method. Annealing and crystallization are performed in a nitriding inert atmosphere, and an island type silicon film 103 is formed by patterning the silicon film. A silicon oxide film 104 is formed on the surface of an active layer 103 by irradiation with infrared rays in an oxygen atmosphere. The irradiation of infrared rays heats the silicon film selectively, so that the heating of the glass substrate can be restrained to a minimum. Further the irradiation is very effective in reducing defects and unbonded hands in the silicon film. Thereby a thin dense thermal oxide film having uniform thickness free from pin holes can be formed.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-66426

(43) 公開日 平成7年(1995)3月10日

(51) Int. Cl. ⁴

識別記号

F I

H01L 29/786

21/336

21/316

21/318

M 7352-4M

M 7352-4M

9056-4M

H01L 29/78

311

Y

審査請求 有 請求項の数10 F D (全11頁)

(21) 出願番号 特願平5-235463

(22) 出願日 平成5年(1993)8月27日

(71) 出願人 000153878

株式会社半導体エネルギー研究所

神奈川県厚木市長谷398番地

(72) 発明者 竹村 保彦

神奈川県厚木市長谷398番地 株式会社半

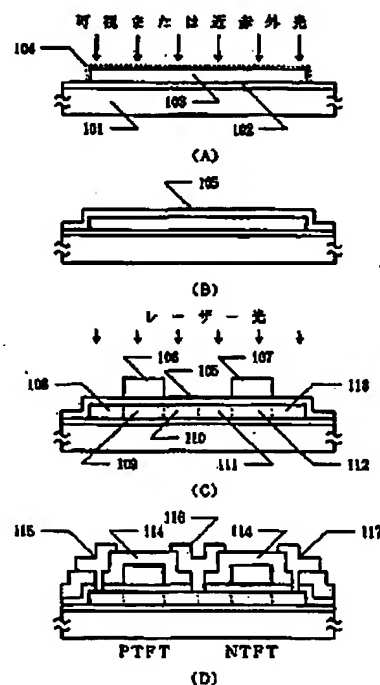
導体エネルギー研究所内

(54) 【発明の名称】 半導体装置およびその作製方法

(57) 【要約】

【目的】 耐熱性の劣る基板上に良好な特性を示す絶縁ゲイト型 (M I S型) シリコン半導体装置を作製する方法に関して、特にゲイト絶縁膜およびその作製方法を提供する。

【構成】 酸素等の酸化雰囲気中にシリコン半導体表面をさらし、これを400~700℃、好ましくは500~600℃に加熱するか、もしくは数10秒~数分間、可視もしくは近赤外光の強光を照射することによって、表面にごく薄い酸化膜を形成し、しかる後にTEOS等の有機シランと酸素を原料とするプラズマCVD法によって酸化珪素膜を成膜し、所望の厚さのゲイト絶縁膜とする。



【特許請求の範囲】

【請求項1】 絶縁表面上に島状の結晶性珪素膜を形成する第1の工程と、

前記島状珪素膜に、酸化雰囲気中で近赤外から可視光、好ましくは波長 $4\mu\text{m}\sim 0.5\mu\text{m}$ の強光を照射することによって、該珪素膜表面に薄い酸化膜を形成する第2の工程と、

前記島状珪素膜を覆って、有機シランと酸素、オゾン、酸化窒素を原料とする化学的気相成長法によって酸化珪素膜を形成する第3の工程と、

前記酸化珪素膜上にゲイト電極を形成する第4の工程とを有する半導体装置の作製方法。

【請求項2】 請求項1において、ゲイト電極は非単結晶珪素からなることを特徴とする半導体装置の作製方法。

【請求項3】 請求項1において、ゲイト電極はアルミニウムを主成分とする金属材料からなり、かつ、ゲイト電極の側面には該ゲイト電極と同じ組成の材料を酸化させて得られた酸化物が形成されていることを特徴とする半導体装置の作製方法。

【請求項4】 絶縁基板上に島状の結晶性珪素膜を形成する第1の工程と、

前記島状珪素膜に、酸化雰囲気中で $400\sim 700^\circ\text{C}$ のアニールをおこなうことによって、該珪素膜表面に薄い酸化膜を形成する第2の工程と、

前記島状珪素膜を覆って、有機シランと酸素、オゾン、酸化窒素を原料とする化学的気相成長法によって酸化珪素膜を形成する第3の工程と、

前記酸化珪素膜上にゲイト電極を形成する第4の工程とを有する半導体装置の作製方法。

【請求項5】 請求項4において、第2の工程は、酸素と窒素の化合物または混合気体雰囲気においておこなわれることを特徴とする半導体装置の作製方法。

【請求項6】 請求項4において、第2の工程は、一酸化二窒素の雰囲気においておこなわれることを特徴とする半導体装置の作製方法。

【請求項7】 絶縁基板上に島状の結晶性珪素膜を形成する第1の工程と、

前記島状珪素膜を覆って、有機シランと酸素、オゾン、酸化窒素を原料とする化学的気相成長法によって酸化珪素膜を形成する第2の工程と、

前記島状珪素膜に、酸化雰囲気中で $400\sim 700^\circ\text{C}$ のアニールをおこなうことによって、該珪素膜表面に薄い酸化膜を形成する第3の工程と、

前記酸化珪素膜上にゲイト電極を形成する第4の工程とを有する半導体装置の作製方法。

【請求項8】 絶縁表面上に島状の結晶性珪素膜を形成する第1の工程と、

前記島状珪素膜を覆って、有機シランと酸素、オゾン、酸化窒素を原料とする化学的気相成長法によって酸化珪

素膜を形成する第2の工程と、

前記島状珪素膜に、酸化雰囲気中で近赤外から可視光、好ましくは波長 $4\mu\text{m}\sim 0.5\mu\text{m}$ の強光を照射することによって、該珪素膜表面に薄い酸化膜を形成する第3の工程と、

前記酸化珪素膜上にゲイト電極を形成する第4の工程とを有する半導体装置の作製方法。

【請求項9】 非単結晶珪素上に前記珪素の熱酸化により設けられた第1の酸化珪素と、該酸化珪素上に有機シランを原料とする気相反応法によって積層形成された第2の酸化珪素とをゲイト絶縁膜として用いることを特徴とする半導体装置。

【請求項10】 請求項9において、積層形成された第2の酸化珪素中には、燐、塩素、炭素が、熱酸化により形成された第1の酸化珪素よりも多く存在することを特徴とする半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、ガラス等の絶縁基板、あるいは各種基板上に形成された絶縁性被膜上に設けられた非単結晶珪素膜を用いた絶縁ゲイト構造を有する半導体装置、例えば、薄膜トランジスタ(TFT)や薄膜ダイオード(TFD)、またはそれらを応用した薄膜集積回路、特にアクティブ型液晶表示装置(液晶ディスプレイ)用薄膜集積回路の作製方法に関するものである。

【0002】

【従来の技術】 近年、ガラス等の絶縁基板上にTFTを有する半導体装置、例えば、TFTを画素の駆動に用いるアクティブ型液晶表示装置やイメージセンサー、三次元IC等が開発されている。

【0003】 これらの装置に用いられるTFTには、薄膜状の珪素半導体を用いるのが一般的である。薄膜状の珪素半導体としては、非晶質珪素半導体(a-Si)からなるものと結晶性を有する珪素半導体からなるものの2つに大別される。非晶質珪素半導体は作製温度が低く、気相法で比較的容易に作製することが可能で量産性に富むため、最も一般的に用いられているが、導電率等の物性が結晶性を有する珪素半導体に比べて劣るため、今後より高速特性を得るためには、結晶性を有する珪素半導体からなるTFTの作製方法の確立が強く求められていた。尚、結晶性を有する珪素半導体としては、多結晶珪素、微結晶珪素、結晶成分を含む非晶質珪素、結晶性と非晶質性の中間の状態を有するセミアモルファス珪素等が知られている。

【0004】 これらの珪素膜を用いて絶縁ゲイト構造を得るには、珪素膜表面に何らかの手段によって界面特性の優れた絶縁膜を形成する必要がある。例えば、石英基板のように高温に耐える基板上であれば、熱酸化という手段を用いてゲイト絶縁膜を得ることができた。石英基板は高価であり、かつ、融点が高いために大面積化が

困難であるということで、融点が低くてより量産性に優れ、安価な他のガラス材料（例えば、コーニング7059番）を基板として使用することが望まれた。しかし、より安価な基板材料を使用した場合には、熱酸化膜を得るだけの高温に基板が耐えないという問題があった。そのため、より低温で形成できる物理的気相成長法（PVD法、例えばスパッタ法）や化学的気相成長法（CVD法、例えばプラズマCVD法、光CVD法等）によって形成される。

【0005】しかしながら、これらPVD法、CVD法によって作製した絶縁膜はピンホールが多く、また、界面特性も良くなかった。このため、TFTとした場合の電界移動度やサブスレッシュホールド特性値（S値）が、良くないという問題点、あるいはゲイト電極のリーク電流が多く、劣化がひどく、歩留りが低いという問題点があった。特にもともと移動度の小さな非晶質珪素を用いたTFTの場合には、このようなゲイト絶縁膜の特性はあまり問題とならなかったが、移動度の高い結晶性の珪素膜を用いたTFTでは、珪素膜自体よりもゲイト絶縁膜の特性の方が大きな問題となった。

【0006】

【発明が解決しようとする課題】本発明は、上記の問題を解決する手段を提供するものである。すなわち、結晶性珪素膜を用いて、特性、信頼性、歩留りに優れたTFTの作製方法を提供する場合において、特に基板材料に影響を与えない条件のもとで、ゲイト絶縁膜の作製方法やゲイト絶縁膜の構造を提供することを課題とする。

【課題を解決するための手段】

【0007】本発明は、酸素や酸化窒素、オゾン等の酸化雰囲気の中で、島状の結晶性珪素膜に基板材料に対して影響を与えない波長の強光を照射（光アニール）し、あるいは、基板材料に対して影響を与えない温度で島状の結晶性珪素膜を熱アニールすることによって、その表面に薄い酸化珪素膜（熱酸化膜）を形成し、さらに、これを覆って、公知の各種CVD法で厚い酸化珪素膜を形成し、所望の厚さのゲイト絶縁膜とすることを特徴とする。特にテトラ・エトキシ・シラン（TEOS）等の有機シランを珪素源とし、酸素、オゾン、酸化窒素等の酸化性気体を酸化材として、CVD反応させて、酸化珪素を得ることを特徴とする。CVD法としては、減圧CVD法、常圧CVD法、光CVD法、プラズマCVD法、またはこれらの併用を用いればよい。また、より安定な特性を得るためには、CVD法によって酸化珪素膜を形成した後、再び、前記の可視・近赤外光による光アニールもしくは400～700℃の熱アニールを、酸素および窒素の化合物（たとえば一酸化二窒素等）または混合気体（例えば窒素4：酸素1の混合気体）の雰囲気においておこなうとよい。

【0008】本発明において、光を照射する場合には10～1000秒程度の比較的短い時間照射し、珪素膜の

表面の温度を900～1200℃に上昇させることが望ましい。なお、光の波長としては、珪素膜には吸収され、基板では実質的に吸収されない波長の光であることが望ましい。具体的には近赤外光から可視光にかけての光、好ましくは波長が4μm～0.5μmの光（例えば波長1.3μmにピークを有する赤外光）が好ましい。

【0009】また、本発明において、熱アニールをおこなう場合には、基板にソリや縮み等の影響を与えない温度でおこなうことが望ましく、具体的には、400～700℃、好ましくは500～600℃の中温の条件でおこなうことが望ましい。一般的には基板の歪み温度（歪み点）以下でおこなうべきであるが、予め基板に熱的な処置をほどこして、内部の歪みエネルギーを開放しておくことによって、歪み温度以上でも縮みを十分に小さくできるので、このような場合には歪み温度以上の温度であつてもかまわない。

【0010】本発明に用いられる結晶性珪素膜の作製方法は、レーザーやそれと同等な強光の照射による結晶化、あるいは熱アニールによる結晶化いずれでも採用できる。特に、熱アニールによる場合で、ニッケル等の結晶化を助長せしめる金属元素を用いて、通常の固相成長温度よりも低温で結晶化を行う方法を採用した場合には、本発明は新たな効果を生じる。結晶化を助長させる元素としては、8族元素であるFe、Co、Ni、Ru、Rh、Pd、Os、Ir、Ptを用いることができる。また3d元素であるSc、Ti、V、Cr、Mn、Cu、Znも利用することができる。さらに、実験によれば、Au、Ag、においても結晶化の作用が確認されている。特に上記元素の中で、顕著な効果が得られ、その作用で結晶化した結晶性珪素膜を用いてTFTの動作が確認されているのがNiである。

【0011】これらの金属を添加された珪素膜は針状に結晶が成長することが観察されている。しかしながら、全面が結晶化してしまうわけではなく、結晶と結晶の間に非晶質もしくはそれと同程度の結晶性の低い領域が取り残される。このような金属元素の添加された珪素膜は針状に結晶が成長し、その幅も被膜の厚さの0.5～2倍であり、さらに<111>方向の成長方向でなく、幅方向、すなわち結晶の側面への成長は少ない。このため、前記非晶質領域は長時間のアニールでも結晶化せず、これをTFTに用いた場合には特性の劣化が問題となった。ところが、上記の強光を照射する方法を採用した場合には、光エネルギーの一部が結晶成長にも使用され、結晶の側面への成長が促進される。このため、緻密な結晶性珪素膜が得られる。

【0012】

【作用】強光を照射して、あるいは中温でのアニールによって得られる熱酸化膜の厚さは、20～200Å、代表的には100Åであるが、公知のPVD法、CVD法による膜とは異なり、ピンホールのない非常に緻密で均

一な厚さの膜である。また、珪素膜との界面も理想的な状態である。この熱酸化膜の上にさらに厚い絶縁膜、代表的には酸化珪素膜を重ねるのであるから、ピンホールに起因するリーク電流は小さく、歩留りも向上する。また、珪素膜との界面が良好であるので、TFTとした場合の各種特性値が向上し、信頼性も高い。特に図4

(A)に示すように、従来のTFTプロセスにおいては、島状珪素膜を作製した際に、オーバーエッチによって珪素膜の端に空孔が生じた。特に下地膜が柔らかい(エッチングレートが大きい)場合には、顕著であった。そして、従来のPVD法やCVD法ではこの空孔をうまく埋めきれず、クラック等によってリーク電流が発生することが多かった。(図4(B))

【0013】しかし、本発明においては、珪素膜の周囲に一樣な厚さのピンホール等のない熱酸化膜が形成されるので上記のようなクラックが生じて、使用上はほとんど問題がない。(図4(C))

このような良質な酸化膜は、従来は高温の熱酸化によってのみ得られていたが、そのためには基板の耐熱性に大きな制約があった。しかしながら、本発明では、そのよ

【0014】

【実施例】(実施例1)本実施例は、ガラス基板上に形成された結晶性珪素膜を用いたPチャネル型TFT(P-TFTという)とNチャネル型TFT(N-TFTという)とを相補型に組み合わせた回路を形成する例である。本実施例の構成は、アクティブ型の液晶表示装置の画素電極のスイッチング素子や周辺ドライバ回路、さらにはイメージセンサや集積回路に利用することができる。

【0015】図1に本実施例の作製工程の断面図を示す。まず、基板(コーニング7059)101上にスパッタリング法によって厚さ2000Åの酸化珪素の下地膜102を形成した。基板は、下地膜の成膜の前もしくは後に、至り温度よりも高い温度でアニールをおこなった後、0.1~1.0℃/分で至り温度以下まで徐冷すると、その後の温度上昇を伴う工程(本発明の赤外光照射および熱アニールによる酸化工程を含む)での基板の収縮が少なく、マスク合わせが用意となる。コーニング7059基板では、620~660℃で1~4時間アニールした後、0.1~1.0℃/分、好ましくは、0.1~0.3℃/分で徐冷し、450~590℃まで温度が低下した段階で取り出すとよい。

【0016】次に、プラズマCVD法によって、厚さ500~1500Å、例えば1000Åの真性(I型)の非晶質珪素膜を成膜した。そして、窒素不活性雰囲気(大気圧)、600℃、48時間アニールして結晶化させ、珪素膜を10~1000μmの大きさにパターニングして、島状の珪素膜(TFTの活性層)103を形成した。そして、酸素雰囲気中で、0.5~4μmここで

は0.8~1.4μmにピークをもつ赤外光を30~180秒照射し、活性層103の表面に酸化珪素膜104を形成した。雰囲気は0.1~10%のHClを混入してもよかった。(図1(A))

【0017】赤外線の光源としてはハロゲンランプを用いた。赤外光の強度は、モニターの単結晶シリコンウェハー上の温度が900~1200℃の間にあるように調整した。具体的には、シリコンウェハーに埋め込んだ熱電対の温度をモニターして、これを赤外線の光源にフィードバックさせた。本実施例では、昇温・降温は、図3(A)もしくは(B)のようにおこなった。昇温は、一定で速度は50~200℃/秒、降温は自然冷却で20~100℃であった。

【0018】図3(A)は一般的な温度サイクルで、昇温時間a、保持時間b、降温時間cの3つの過程からなる。しかし、この場合には試料は室温から1000℃もの高温へ、さらに高温状態から室温へと急激に加熱・冷却されるので、珪素膜や基板に与える影響が大きく、珪素膜の剥離の可能性も高い。この問題を解決するためには、図3(B)のように、保持に達する前に、プレヒート時間dやポストヒート時間fを設け、保持時間に達する前に200~500℃の基板や膜に大きな影響を与えない温度に保持しておくことが望ましい。

【0019】この赤外光照射は、珪素膜を選択的に加熱することになるので、ガラス基板への加熱を最小限に抑えることができる。そして、珪素膜中の欠陥や不体結合手を減少させるのにも非常に効果がある。この赤外光照射によって形成された酸化珪素104の厚さは50~150Åであった。

【0020】つぎにプラズマCVD法によって厚さ1000Åの酸化珪素膜105をゲイト絶縁膜として成膜した。CVDの原料ガスとしてはTEOS(テトラ・エトキシ・シラン、Si(OC₂H₅)₄)と酸素を用い、成膜時の基板温度は300~550℃、例えば400℃とした。TEOSと酸素以外に、トリクロロエチレン(TCE)ガスも用いた。流量比としては、代表的にはTEOS:酸素:TCE=5:10:1としたが、使用するCVD装置の特性に応じて、ガスの流量比を変更してもよいことは言うまでもない。(図1(B))

このようにして混合されたTCEは反応によって酸化珪素膜中に塩素原子を供給する。塩素は電極との反応を防止したり、ナトリウム等の可動イオンが外部から侵入することを防止する上で効果がある。また、同様な効果を得るには酸化珪素膜中に燐を混入させてもよい。

【0021】引き続いて、減圧CVD法によって、厚さ3000~8000Å、例えば6000Åの多結晶珪素(0.01~0.2%の燐を含む)膜を成膜した。そして、この珪素膜をパターニングして、ゲイト電極106、107を形成した。次に、イオンドーピング法(プラズマドーピング法とも言う)によって、活性層領域

(ソース/ドレイン、チャネルを構成する)にゲイト電極106、107をマスクとして、自己整合的にPもしくはN導電型を付与する不純物を添加した。ドーピングガスとして、フォスフィン(PH_3)およびジボラン(B_2H_6)を用い、前者の場合は、加速電圧を60~90kV、例えば80kV、後者の場合は、40~80kV、例えば65kVとする。ドーズ量は $1 \times 10^{11} \sim 8 \times 10^{11} \text{ cm}^{-2}$ 、例えば、 $5 \times 10^{11} \text{ cm}^{-2}$ 、ホウ素を $2 \times 10^{11} \text{ cm}^{-2}$ とした。ドーピングに際しては、一方の領域をフォトリソで覆うことによって、それぞれの元素を選択的にドーピングした。この結果、N型の不純物領域111と113、P型の不純物領域108と109が形成され、Pチャネル型TFT(PTFT)の領域とNチャネル型TFT(NTFT)との領域を形成することができた。

【0022】その後、レーザー光の照射によってアニールを行った。レーザー光としては、KrFエキシマレーザー(波長248nm、パルス幅20nsec)を用いたが、他のレーザーであってもよい。レーザー光の照射条件は、エネルギー密度が200~400mJ/cm²、例えば250mJ/cm²とし、一か所につき2~10ショット、例えば2ショット照射した。このレーザー光の照射時に基板を200~450℃程度に加熱することによって、効果を増大せしめてもよい。(図1(C))

【0023】また、この工程は、近赤外光によるランプアニールによる方法でもよい。近赤外線は非晶質珪素よりも結晶化した珪素へは吸収されやすく、1000℃以上の熱アニールにも匹敵する効果的なアニールを行うことができる。その反面、ガラス基板(遠赤外光はガラス基板に吸収されるが、可視・近赤外光(波長0.5~4μm)は吸収されにくい)へは吸収されにくいので、ガラス基板を高温に加熱することがなく、また短時間の処理ですむので、ガラス基板の縮みが問題となる工程においては最適な方法であるといえる。

【0024】続いて、厚さ6000Åの酸化珪素膜114を層間絶縁物としてプラズマCVD法によって形成した。この層間絶縁物としてはポリイミドを利用してもよい。さらにコンタクトホールを形成して、金属材料、例えば、窒化チタンとアルミニウムの多層膜によってTFTの電極・配線115、116、117を形成した。最後に、1気圧の水素雰囲気中で350℃、30分のアニールを行い、TFTを相補型に構成した半導体回路を完成した。(図1(D))

【0025】上記に示す回路は、PTFTとNTFTとを相補型に設けたCMOS構造であるが、上記工程において、2つのTFTを同時に作り、中央で切断することにより、独立したTFTを2つ同時に作製することも可能である。本実施例で得られたTFTの特性に関しては、NTFTの移動度は110~200cm²/Vs、S値は0.2~0.5V/桁、PTFTの移動度は50

~120cm²/Vs、S値は0.4~0.6V/桁であり、公知のPVD法やCVD法によってゲイト絶縁膜を形成した場合に比較して、移動度は2割以上高く、S値は半減した。

【0026】〔実施例2〕本実施例も相補型TFT回路に関するものである。図2を用いて、本実施例を説明する。まずガラス基板201として、コーニング7059基板を用い、620~660℃で1~4時間アニールした後、0.1~1.0℃/分、好ましくは、0.1~0.3℃/分で徐冷し、450~590℃まで温度が低下した段階で取り出した。そして、基板上に下地膜202を形成し、さらに、プラズマCVD法によって厚さ300~800Åのアモルファス(非晶質)珪素膜203を成膜した。そして、厚さ1000Åの酸化珪素のマスク204を用いて205で示される領域に厚さ20~50Åのニッケル膜をスパッタ法で成膜した。ニッケル膜は連続した膜状でなくともよい。この後、酸素雰囲気中で500~620℃、例えば550℃、8時間の加熱アニールを行い、珪素膜203の結晶化を行った。結晶化は、ニッケルと珪素膜が接触した領域205を出発点として、矢印で示されるように基板に対して平行な方向に結晶成長が進行した。(図2(A))

【0027】次に、シリコン膜203をパターニングして、島状の活性層領域205を形成した。活性層のエッチングは垂直方向に異方性を有するRIE法によって行った。この際、図2(A)に斜線で示された領域がニッケルが高濃度に存在する領域である。これらの領域は、その間の結晶化している領域に比較してニッケルの濃度が1桁近く高いことが判明している。したがって、本実施例においては、TFTのチャネル形成領域はこれらのニッケル濃度の高い領域を避けて形成されるようにした。本実施例の活性層中でのニッケル濃度は、 $10^{17} \sim 10^{18} \text{ cm}^{-3}$ 程度であった。その後、基板を酸素雰囲気中で600℃で1時間アニールした。この結果、活性層の表面に20~200Å、代表的には40~100Åの厚さの熱酸化膜204が形成された。この工程によって、先の熱アニールによって結晶化した領域の結晶性をさらに向上させた。(図2(B))

【0028】さらにテトラ・エトキシ・シラン(TEOS)を原料として、酸素雰囲気中のプラズマCVD法によって、酸化珪素のゲイト絶縁膜(厚さ70~120nm、典型的には120nm)207を形成した。成膜時にはTEOSに対して流量比で3~50%のトリクロロエチレン(TCE)を添加した。基板温度は350℃とした。酸化珪素膜207を形成した後、再び、酸素雰囲気中で600℃で1時間アニールをおこなった。こうしてゲイト絶縁膜207を形成した。(図2(C))

次に厚さ6000Åのアルミニウム膜(0.01~0.2重量%のスカンジウムを含む)をスパッタ法で形成し、パターニングを行うことによって、ゲイト電極20

9、210を形成した。そして、陽極酸化法によってゲイト電極の周囲を陽極酸化物211、212で被覆した。陽極酸化は、酒石酸が1~5%含まれたエチレングリコール溶液で行った。得られた酸化物層211、212の厚さは2000Åであった。なお、この酸化物211と212は、後のイオンドーピング工程において、オフセットゲイト領域を形成する厚さとなるので、オフセットゲイト領域の長さを上記陽極酸化工程で決めることができる。

【0029】その後、N型およびP型の不純物をイオンドーピング法で注入し、自己整合的にP型ソース領域213、P型ドレイン領域215、N型ソース領域216、N型ドレイン領域218、チャネル形成領域214、217を形成した。そして、KrFレーザー光を照射することによって、不純物導入のために結晶性の劣化した珪素膜の結晶性を改善させた。このときにはレーザー光のエネルギー密度は250~300mJ/cm²とした。このレーザー照射によって、このTFTのソース/ドレインのシート抵抗は300~800Ω/cm²となった。また、この工程は赤外光のランプアニールによ

って行ってもよい。(図2(D))

【0030】その後、酸化珪素またはポリイミドによって層間絶縁物219を形成し、コンタクトホールを形成して、TFTのソース/ドレイン領域にクロム/アルミニウム多層膜で電極220、221、222を形成した。最後に、水素中で200~400℃で2時間アニールして、水素化をおこなった。このようにして、TFTを完成した。さらに耐湿性を向上させるために、全面に窒化珪素等でパッシベーション膜を形成してもよい。(図2(E))

【0031】(実施例3) 図5に本実施例の作製工程の断面図を示す。まず、基板(コーニング7059)501上にスパッタリング法によって厚さ2000Åの酸化珪素の下地膜502を形成した。基板は、下地膜の成膜の前に620~660℃で1~4時間アニールした後、0.1~1.0℃/分、好ましくは、0.1~0.3℃/分で徐冷し、450~590℃まで温度が低下した段階で取り出した。

【0032】次に、プラズマCVD法によって、厚さ500~1500Å、例えば1000Åの真性(I型)の非晶質珪素膜を成膜した。そして、窒素雰囲気下(大気圧)、600℃、48時間アニールして結晶化させ、珪素膜を10~1000μmの大きさにパターンニングして、島状の珪素膜(TFTの活性層)503を形成した。そして、酸素雰囲気中で、0.5~4μmここでは0.8~1.4μmにピークをもつ赤外光を30~180秒照射し、活性層503の表面に酸化珪素膜504を形成した。赤外線照射に関しては実施例1と同じ条件とした。雰囲気中に0.1~10%のHClを混入してもよかった。(図5(A))

【0033】つぎにプラズマCVD法によって厚さ1000Åの酸化珪素膜505をゲイト絶縁膜として成膜した。CVDの原料ガスとしてはTEOS(テトラ・エトキシ・シラン、Si(OC₂H₅)₄)と酸素を用い、成膜時の基板温度は300~550℃、例えば400℃とした。TEOSと酸素以外に、トリクロロエチレン(TCE)ガスも用いた。流量比としては、代表的にはTEOS:酸素:TCE=5:10:1としたが、使用するCVD装置の特性に応じて、ガスの流量比を変更してもよいことは言うまでもない。

【0034】引き続き、減圧CVD法によって、厚さ3000~8000Å、例えば6000Åの多結晶珪素(0.01~0.2%の燐を含む)膜を成膜した。ゲイト電極の材料としては、この他に珪素とモリブテンの多層膜、珪素と珪化モリブテンの多層膜、珪素とチタンの多層膜、珪素と珪化チタンの多層膜、珪素とタングステンの多層膜、珪素と珪化タングステンの多層膜等を用いることもできる。そして、この珪素膜をパターンニングして、ゲイト電極506を形成した。次に、イオンドーピング法(プラズマドーピング法とも言う)によって、活性層領域(ソース/ドレイン、チャネルを構成する)にゲイト電極506をマスクとして、自己整合的にN導電型を付与する不純物を添加した。ドーピングガスとして、フォスフィン(PH₃)を用い、加速電圧を60~90kV、例えば80kVとした。ドーズ量は1×10¹¹~8×10¹¹cm⁻²、例えば、5×10¹¹cm⁻²とした。この結果、N型の不純物領域507と509が形成された。

【0035】その後、レーザー光の照射によってアニールを行った。レーザー光としては、KrFエキシマレーザー(波長248nm、パルス幅20nsec)を用いたが、他のレーザーであってもよい。レーザー光の照射条件は、エネルギー密度が200~400mJ/cm²、例えば250mJ/cm²とし、一か所につき2~10ショット、例えば2ショット照射した。このレーザー光の照射時に基板を200~450℃程度に加熱することによって、効果を増大せしめてもよい。また、この工程は、近赤外光によるランプアニールによる方法でもよい。(図5(B))

【0036】続いて、厚さ3000~6000Å、例えば9000Åの酸化珪素膜510をプラズマCVD法によって形成した。(図5(C))

次に、公知のRIE法による異方性ドライエッチングを行うことによって、この酸化珪素膜510のエッチングをおこなった。この際、その高さが9000Åあるゲイト電極506の側面においては、その高さ方向の厚さが膜厚(酸化珪素膜の膜厚9000Åのこと)の約2倍となる。また、この際、ゲイト絶縁膜である酸化珪素膜505をも続けてエッチングしてしまい、ソース/ドレイン領域507、509を露呈させた。以上の工程によ

て、ゲート電極の側面には概略三角形形状の絶縁物511が残った。(図5(D))

【0037】その後、図5(E)に示すように、厚さ50~500Åのチタン膜512をスパッタ法によって形成した。次に、これを250~450℃に加熱してチタンとシリコンを反応させ、珪化チタン領域513、515を不純物領域(ソース/ドレイン)上に形成した。また、ゲート電極の材料(燐ドーパ珪素)とも反応して珪化チタン領域514が形成された。珪化チタンは、30~100μΩ・cmという低い抵抗率であるので、実質的なソースおよびドレイン領域のシート抵抗は10Ω/□以下であった。

【0038】この工程は赤外光のランプアニールによるものでよい。ランプアニールを行う場合には、被照射面表面が600~1000℃程度になるように、600℃の場合は数分間、1000℃の場合は数秒間のランプ照射を行うようにする。(図5(F))

【0039】この後、過酸化水素とアンモニアと水とを5:2:2で混合したエッチング液でTi膜のエッチングした。この際、珪化チタン層513、514、515はエッチングされないもので、残存させることができる。最後に、図5(G)に示すように、全面に層間絶縁物516として、CVD法によって酸化珪素膜を厚さ500Å形成し、TFTのソース/ドレインにコンタクトホールを形成し、アルミニウム配線・電極517、518を形成した。以上の工程によって、TFTが完成された。本実施例では、アルミニウム電極517、518とソース/ドレインの珪素が直接、接触しない構造になっているので極めて良好なコンタクトが得られた。以上によって、TFTが完成された。不純物領域の活性化のために、さらに200~400℃で水素アニールをおこなってもよい。

【0040】【実施例4】図6に本実施例の作製工程の断面図を示す。まず、基板(コーニング7059)601上にスパッタリング法によって厚さ2000Åの酸化珪素の下地膜602を形成した。基板は、下地膜の成膜の前に620~660℃で1~4時間アニールした後、0.1~1.0℃/分、好ましくは、0.1~0.3℃/分で徐冷し、450~590℃まで温度が低下した段階で取り出した。

【0041】次に、プラズマCVD法によって、厚さ500~1500Å、例えば1000Åの真性(I型)の非晶質珪素膜を成膜した。そして、実施例2と同様にニッケルを触媒として用いる手法によって珪素膜の結晶化をおこなった。結晶化条件は窒素雰囲気下(大気圧)、550℃、4時間である。そして、珪素膜を10~1000μmの大きさにパターンニングして、島状の珪素膜(TFTの活性層)603を形成した。そして、酸素雰囲気中、600℃で1時間酸化して、活性層603の表面に酸化珪素膜604を形成した。(図6(A))

【0042】つぎにプラズマCVD法によって厚さ1000Åの酸化珪素膜605をゲート絶縁膜として成膜した。CVDの原料ガスとしてはTEOS(テトラ・エトキシ・シラン、Si(OC₂H₅)₄)と酸素を用い、成膜時の基板温度は300~550℃、例えば350℃とした。TEOSと酸素以外に、トリクロロエチレン(TCE)ガスも用いた。流量比としては、代表的にはTEOS:酸素:TCE=5:10:1としたが、使用するCVD装置の特性に応じて、ガスの流量比を変更してもよいことは言うまでもない。

【0043】その後、厚さ2000Å~5μmのアルミニウム(0.01~0.2重量%のスカンジウムを含む)膜を電子ビーム蒸着法によって形成して、これをパターンニングし、ゲート電極606とし、さらにこれに電解液中で電流を通じて陽極酸化し、厚さ500~2500Åの陽極酸化物607を形成した。陽極酸化の条件等については、特願平4-30220(平成4年1月21日出願)に示されているものを用いた。ゲート電極は単層のアルミニウム膜以外に燐ドーパの珪素膜とアルミニウム膜の多層膜も用いることができる。チタンやタンタル、その他、陽極酸化可能な材料を用いてもよいことはいうまでもない。

【0044】その後、イオンドーピング法によって、各TFTの島状シリコン膜中に、ゲート電極部(すなわちゲート電極とその周囲の陽極酸化膜)をマスクとして自己整合的に不純物を注入し、図6(B)に示すようにソース/ドレイン領域(不純物領域)608、609を形成した。NMOSのTFTを形成するにはフォスフィン(PH₃)をドーピングガスとして燐を注入し、PMOSのTFTを形成するにはジボラン(B₂H₆)をドーピングガスとして、硼素を注入すればよい。ドーピング量は2~8×10¹⁴cm⁻²、加速エネルギーは10~90keVとした。

【0045】その後、レーザー光の照射によってアニールを行った。レーザー光としては、KrFエキシマレーザー(波長248nm、パルス幅20nsec)を用いたが、他のレーザーであってもよい。レーザー光の照射条件は、エネルギー密度が200~400mJ/cm²、例えば250mJ/cm²とし、一か所につき2~10ショット、例えば2ショット照射した。このレーザー光の照射時に基板を200~450℃程度に加熱することによって、効果を増大せしめてもよい。また、この工程は、近赤外光によるランプアニールによる方法でもよい。(図5(B))

【0046】そして、プラズマCVD法によって厚さ4000Å~1.5μm、例えば9000Åの酸化珪素膜611を堆積した。(図6(C))

次に、公知のRIE法による異方性ドライエッチングを行うことによって、この酸化珪素膜611のエッチングをおこなった。この際、その高さが9000Åあるゲイ

ト電極 606 の側面においては、その高さ方向の厚さが膜厚の約 2 倍となる。また、この際、ゲイト絶縁膜である酸化珪素膜 605 をも続けてエッチングしてしまい、ソース/ドレイン領域 608、610 を露呈させた。以上の工程によって、ゲイト電極の側面には概略三角形の絶縁物 612 が残った。(図 6 (D))

【0047】その後、図 6 (E) に示すように、厚さ 50~500 Å のチタン膜 613 をスパッタ法によって形成した。次に、これを 250~450℃ に加熱してチタンとシリコンを反応させ、珪化チタン領域 614、615 を不純物領域 (ソース/ドレイン) 上に形成した。なお、この際には加熱によってゲイト電極等にヒロックが発生しないような温度でおこなうことが望まれる。

【0048】このアニールは赤外光のランプアニールによるものでもよい。ランプアニールを行う場合には、被照射面表面が 600~1000℃ 程度になるように、600℃ の場合は数分間、1000℃ の場合は数秒間のランプ照射を行うようにする。(図 6 (F))

【0049】この後、過酸化水素とアンモニアと水とを 5:2:2 で混合したエッチング液で T1 膜のエッチングした。この際、シリサイド層 614、615 はエッチングされないの、残存させることができる。最後に、図 6 (G) に示すように、全面に層間絶縁物 616 として、CVD 法によって酸化珪素膜を厚さ 3000 Å 形成し、TFT のソース/ドレインにコンタクトホールを形成し、アルミニウム配線・電極 617、618 を形成した。以上の工程によって、TFT が完成された。

【0050】

【発明の効果】 TFT の活性層となるべき島状の珪素膜に基板に吸収されない波長の強光を酸化雰囲気中で照射し、あるいは基板にソリや縮みをもたらさない温度で酸化雰囲気中でアニールすることによって、活性層の表面に緻密でピンホールのない、厚さの様な薄い熱酸化膜を形成し、さらにこれに TEOS と酸素等の酸化気体を原料とする CVD 法によって厚い酸化珪素膜を重ねて形成し、これをゲイト絶縁膜とすることによって、ゲイト

絶縁膜の特性と信頼性を著しく高めることができた。

【0051】このような良質な酸化膜は、従来は高温の熱酸化によってのみ得られていたが、そのためには基板の耐熱性に大きな制約があった。しかしながら、本発明では、そのような基板の耐熱性に対する制約は取り払われた。このため、本発明は基板として各種のガラス材料を用いることができ、特に歪み温度 (歪み点) が 550~700℃ の材料において効果が大い。このように本発明は産業上の利益が大である。

【図面の簡単な説明】

【図 1】 実施例 1 の TFT の作製工程を示す。

【図 2】 実施例 2 の TFT の作製工程を示す。

【図 3】 実施例 1 の温度設定例を示す。

【図 4】 従来のゲイト絶縁膜と本発明のゲイト絶縁膜の差を示す。

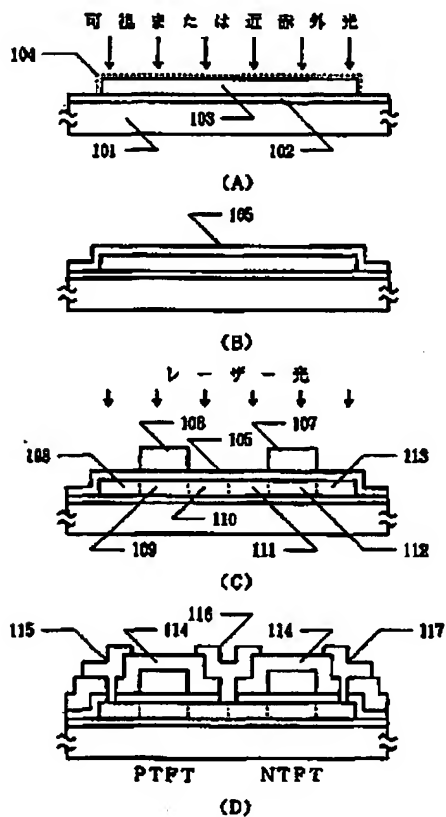
【図 5】 実施例 3 の TFT の作製工程を示す。

【図 6】 実施例 4 の TFT の作製工程を示す。

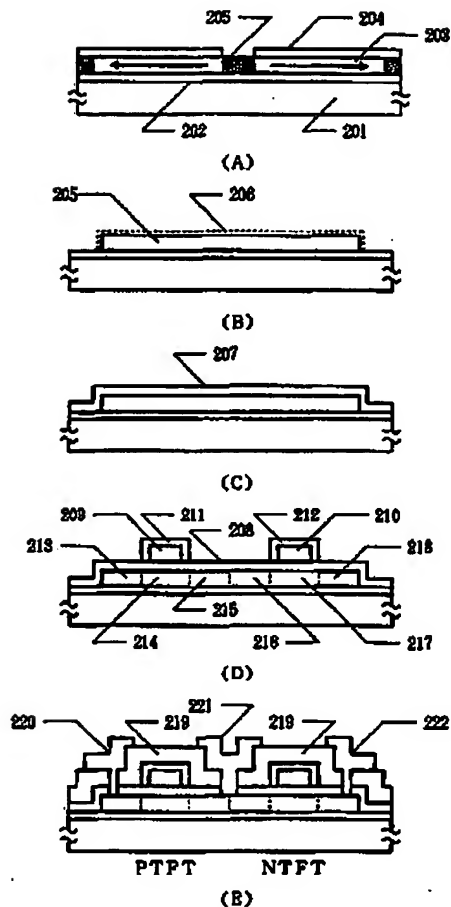
【符号の説明】

- | | |
|-----|------------------|
| 101 | ガラス基板 |
| 102 | 下地膜 (酸化珪素膜) |
| 103 | 活性層 (珪素) |
| 104 | 薄い熱酸化膜 (酸化珪素) |
| 105 | ゲイト絶縁膜 (酸化珪素) |
| 106 | ゲイト電極 (燐ドーピング珪素) |
| 107 | ゲイト電極 (燐ドーピング珪素) |
| 108 | ソース (ドレイン) 領域 |
| 109 | チャネル形成領域 |
| 110 | ドレイン (ソース) 領域 |
| 111 | ソース (ドレイン) 領域 |
| 112 | チャネル形成領域 |
| 113 | ドレイン (ソース) 領域 |
| 114 | 層間絶縁物 |
| 115 | 電極 |
| 116 | 電極 |
| 117 | 電極 |

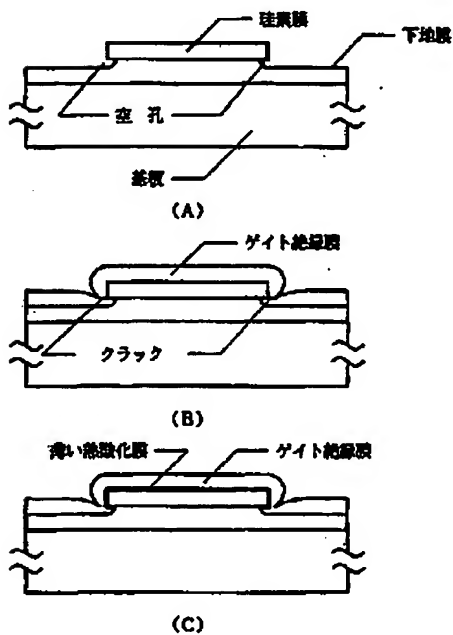
【図1】



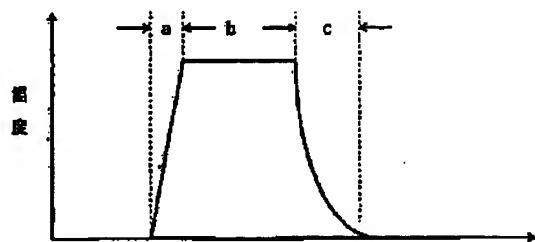
【図2】



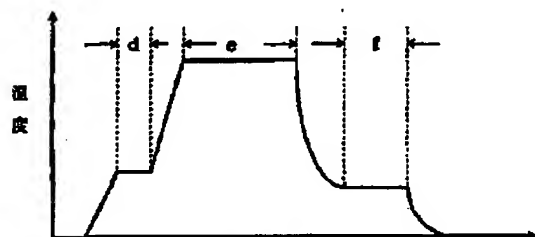
【図4】



【図3】



(A)



(B)

【図5】

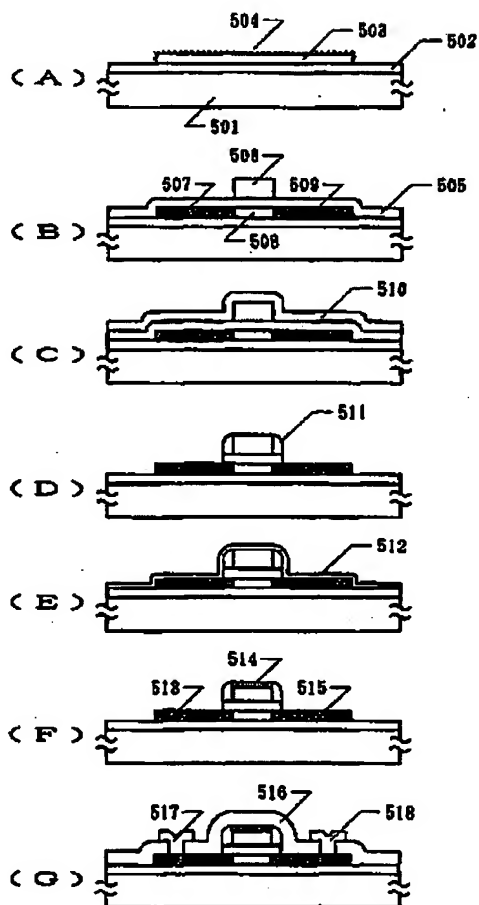


Figure 1 consists of seven cross-sectional views, labeled (A) through (G), illustrating the sequential steps of a semiconductor device's construction. The views are arranged vertically, showing the progression from a substrate to a fully assembled device with multiple layers and components.

- (A)** Shows a substrate (601) with a thin layer (602) on top. A small rectangular feature (603) is positioned on the surface.
- (B)** Shows the addition of a layer (604) and a small rectangular feature (605) on top of the layer (604). The feature (605) has a central opening (606) and is surrounded by a ring (607).
- (C)** Shows the addition of a layer (608) and a small rectangular feature (609) on top of the layer (608). The feature (609) has a central opening (610) and is surrounded by a ring (611).
- (D)** Shows the addition of a layer (612) and a small rectangular feature (613) on top of the layer (612). The feature (613) has a central opening (614) and is surrounded by a ring (615).
- (E)** Shows the addition of a layer (616) and a small rectangular feature (617) on top of the layer (616). The feature (617) has a central opening (618) and is surrounded by a ring (619).
- (F)** Shows the addition of a layer (620) and a small rectangular feature (621) on top of the layer (620). The feature (621) has a central opening (622) and is surrounded by a ring (623).
- (G)** Shows the final stage of the device, with a layer (624) and a small rectangular feature (625) on top of the layer (624). The feature (625) has a central opening (626) and is surrounded by a ring (627).